



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04000826 A**(43) Date of publication of application: **06.01.92**

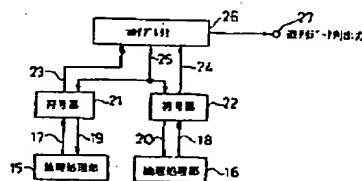
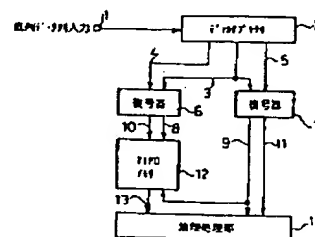
(51) Int. Cl.

H04J 3/00**H04J 3/02**(21) Application number: **02101074**(71) Applicant: **HITACHI CABLE LTD**(22) Date of filing: **17.04.90**(72) Inventor: **IJICHI YOSHIO****(54) DIGITAL MULTIPLEX TRANSMISSION SYSTEM****(57) Abstract:**

PURPOSE: To reduce the cost of high-speed multiplex transmission by selecting one of the plural nBmB decoders on the reception side as a master, inputting the output data to a logic processing part directly and inputting the output data of the other decoder to the logic processing part after temporarily writing it to as buffer.

CONSTITUTION: Among two nBmB decoders 6, and 7, one nBmB decoder 7 is set as the master. A decoded data train 11 of the above-mentioned decoder 7 is directly inputted to a logic processing part 14 together with a clock 9 showing the change point. A decoded data train 10 of the other decoder 6, however, is temporarily inputted to a FIFO memory 12 together with a clock 8 showing the change point. A decoded data train 13 is read out from the memory 12 by the clock showing the change point of the decoded data train 11 of the master decoder 7. Therefore, even when phases are shifted to each other between the decoded data trains 10 and 11 on the reception side, the decoded data trains 11 and 13 can normally logically be processed since the phases are synchronized by the clock 9.

COPYRIGHT: (C)1992,JPO&Japio



⑫ 公開特許公報(A) 平4-826

⑤ Int. Cl.

H 04 J 3/00
3/02

識別記号

M

庁内整理番号

7117-5K
7117-5K

④ 公開 平成4年(1992)1月6日

審査請求 未請求 請求項の数 1 (全6頁)

⑬ 発明の名称 デジタル多重伝送システム

⑯ 特 願 平2-101074

⑰ 出 願 平2(1990)4月17日

⑱ 発 明 者 伊 地 知 良 雄 茨城県日立市日高町5丁目1番1号 日立電線株式会社電線研究所内

⑲ 出 願 人 日立電線株式会社 東京都千代田区丸の内2丁目1番2号

明 細 書

1. 発明の名称

デジタル多重伝送システム

2. 特許請求の範囲

送信側では、原データ列を出力する論理処理部と前記原データ列に対して n ビットのデータを m ビットのデータに変換する $nBmB$ 符号器とを複数組備えておいて、複数台の $nBmB$ 符号器によって得た複数本の符号列をマルチプレクサで時分割多重して1本の直列データ列として出力させ、

一方、受信側では、受信した一本の直列データ列をデマルチプレクサで複数本の符号列に多重分離し、分離した各符号列は、前記 $nBmB$ 符号器によって変換されたデータを元に戻す符号変換を行う複数台の $nBmB$ 復号器によって個別に復号して、共通の論理処理部で処理するデジタル多重伝送システムであって、

受信側における複数台の $nBmB$ 復号器のうち1台をマスターとし、マスターの $nBmB$ 復号器の出力データは直接論理処理部に入力させるが、

マスター以外の各 $nBmB$ 復号器の出力データはそれぞれ非同期の書き込み・読み出しが可能なバッファ手段を介して論理処理部に入力させることとし、

マスター以外の $nBmB$ 復号器の出力データの各バッファ手段への書き込みは各出力データの変化点を示すクロックにより行い、各バッファ手段からの読み出しはマスターの $nBmB$ 復号器の出力データの変化点を示すクロックにより行なうことを特徴としたデジタル多重伝送システム。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、デジタル多重伝送システムに関するものである。

〔従来の技術〕

近年、光通信が広く普及するに伴い、デジタル動画像の多チャネル多重伝送システム等、その広帯域性を十分に活用するアプリケーションが数多く開発され始めてきている。

デジタル動画像の伝送速度は、1チャネル当

たり100Mbps程度であり、これを例えば4チャンネル多重化して光伝送するとなると、400Mbpsの光伝送系が必要となる。

一般にデジタルデータを光伝送するためには、デジタルデータを光伝送に適する形に符号変換することが必要であり、このような符号変換方式の1つにnBmB符号変換がある。

この符号変換は、予め定められた規則に従って、符号器(符号変換装置)によってnビットをmビット($m > n$)に変換し、1や0が連続しないようにするものである。

8B10B符号変換を用いて上記の4チャンネルデジタル画像伝送を行なうと、符号化後の伝送速度は500Mbpsとなる。しかしながら、500Mbpsの信号処理を行なう8B10B符号器は、現状では入手困難である。

そこで250Mbpsで動作可能な8B10B符号器を2台用いて、符号変換は250Mbpsで行ない、その結果得られる2本の直列8B10B符号列を多重化することによって、500Mbps

のための基本クロックであり、最終的に得たい伝送速度が500Mbpsの場合には250MHzとする。これによって、符号器21、22における処理速度は250Mbpsとすることができ、250Mbpsの2本の8B10B符号列をマルチプレクサ28において多重化して500Mbpsの直列データ列を得て、その直列データ列を出力線27より送出する。

第3図は、このようにして多重化された直列データ列(シリアル信号列)28のフォーマットを示す。

これは、いわゆるビット多重方式によるもので、符号器21による符号列 DO_n 、 DO_{n+1} 、 DO_{n+2} 、…と、符号器22による符号列 DO_n 、 DO_{n+1} 、 DO_{n+2} 、…とが、ビット毎に交互に多重化されている。

この直列データ列28が、光ファイバ等の伝送路を介して遠隔の受信地まで送信されることになる。

さて、受信側においては、この多重化された直

psの伝送速度を確保するという送信方式が考えられる。

第2図～第4図は、従来例として、このような送信方式を使ったデジタル多重伝送システムを示したものである。

第2図は、送信側における多重化回路の一例を示しており、図中の符号15、16は原データ列(送信データ)を生成する論理処理部であり、21、22は8B10B符号変換を行なう符号器である。また、26は、2本の符号列(直列データ列)を時分割多重化して1本の直列データ列を出力するマルチプレクサである。

前記論理処理部15、16は、それぞれ符号器21、22より入力されるクロック19、20を用いて、原データ列17、18(それぞれ2チャンネルのデジタル画像信号が多重化されたもの)を出力する。これを符号器21、22において符号化して、2本の8B10B符号列23、24を出力する。

信号線25は、符号器21、22を動作させる

列データ列28を、第4図の復調回路で、分離・復号する。

第4図において、符号1は前述の直列データ列28を受ける入力端で、2は直列データ列28を多重分離するデマルチプレクサであり、6、7は前記nBmB符号器によって変換されたデータを元に戻す符号変換を行う8B10B復号器である。また、14は、復号された原データ列に対して処理を行なう論理処理部である。

伝送路より入力端1に入った500Mbpsの直列データ列28は、デマルチプレクサ2によって伝送速度が250Mbpsの2本の8B10B符号列4、5に分離される。

3は、この8B10B符号列の変化点を示す250MHzのクロックである。前記復号器6、7は、8B10B符号を復号し、それぞれ復号データ列10、11(それぞれ2チャンネルのデジタル画像信号が多重化されたもので、送信側における原データ列に相当する)を出力する。

8、9は、復号データ列10、11の変化点を

示すクロックである。

前記論理処理部14は、このクロック8、9を用いて、多重化されたデジタル画像信号を分離するなどのデータの処理を行なう。

〔発明が解決しようとする課題〕

以上のような構成のデジタル多重伝送システムでは、低価格で容易に入手することのできる250Mbpsの8B10B符号器を2台使用することによって、経済的に、しかも500Mbpsの高速伝送を実現し得るように見える。ところが、実際上では、次のような理由から、実現し得なかった。

送信側の符号器21、22は、それぞれの論理処理部15、16の出力する(送受同期用の)ヘッダパターン送信指示に従ってヘッダパターンを送出しており、受信側の復号器6、7は、いずれも、前記符号器21、22の送出したヘッダパターンを検出して、その検出時で直・並列変換のタイミングを調整して送受の同期を取っている。

即ち、受信側の論理処理部14に入力する復号

れる並列の復号データ10、(b)は前記復号データ10の変化点を示すクロック8、(c)は復号器7から出力される並列の復号データ11、(d)は前記復号データ11の変化点を示すクロック9である。この図示例は、ヘッダパターンを検出して以後の直・並列変換のタイミングが、復号器6、7で互いに異なることを示している。

このように2種類のデータ列が互いに位相が異なる場合には、2種類のデータ列に対して正常な論理処理を行えなくなる可能性がある。

本発明は、前記事情に鑑みてなされたもので、その目的とするところは、複数台のnBmB符号器の出力を多重化して送信する形式のデジタル多重伝送システムを実現可能にすること、即ち、前記システムにおいて送信側の複数台のnBmB符号器が互いに独立にヘッダパターンを送出したために、受信側の復号データ列相互に位相のずれが生じたとしても、それらの復号データ列を正常に論理処理し得るようにして、経済的な高速多重伝送を可能ならしめることにある。

データ列10、11の位相が、送信側の論理処理部15、16の出力するヘッダパターン送信指示によって決定されている。

しかし、送信側における論理処理部15、16は、互いに独立して動作しており、それぞれ任意のタイミングで前記ヘッダパターン送信指示を出すため、これら論理処理部15、16におけるヘッダパターン送信指示の出力タイミングが一致しない場合が起こり得る。

そして、このような場合には、必然的に、復号器6、7における直・並列変換のタイミング調整も異なるタイミングで行われることになり、その結果、受信側の論理処理部14に入力する2種類の復号データ列10、11の位相が異なったものになり、これら2種類のデータ列に対して正常な論理処理が行えなくなるという問題が発生するからである。

第5図は、このような問題の発生したケースを図示したものである。

第5図において、(a)は復号器6から出力さ

〔課題を解決するための手段〕

本発明に係るデジタル多重伝送システムは、送信側では、原データ列を出力する論理処理部と前記原データ列に対してnビットのデータをmビットのデータに変換するnBmB符号器とを複数組備えておいて、複数台のnBmB符号器によって得た複数本の符号列をマルチプレクサで時分割多重して1本の直列データ列として出力させる。

一方、受信側では、受信した一本の直列データ列をデマルチプレクサで複数本の符号列に多重分離し、分離した各符号列は、前記nBmB符号器によって変換されたデータを元に戻す符号変換を行う複数台のnBmB復号器によって個別に復号して、共通の論理処理部で処理する。

しかし、前記受信側では、複数台のnBmB復号器のうちの1台をマスターとし、マスターのnBmB復号器の出力データは直接論理処理部に入力させるが、マスター以外の各nBmB復号器の出力データはそれぞれ非同期の書き込み・読み出しが可能なるバッファ手段を介して論理処理部に入

力させることとしている。

そして、マスター以外の $nBmB$ 復号器の出力データの各バッファ手段への書き込みは各出力データの変化点を示すクロックにより行い、各バッファ手段からの読み出しはマスターの $nBmB$ 復号器の出力データの変化点を示すクロックにより行なう。

〔作用〕

本発明に係るデジタル多重伝送システムは、受信側の複数台の $nBmB$ 復号器の内の一台をマスターに選定し、マスターとなる $nBmB$ 復号器の出力データは自己の変化点を示すクロックで直接論理処理部に入力するが、マスターでない $nBmB$ 復号器の出力データはいずれも各自の変化点を示すクロックで一旦バッファに書き込み、マスターとなる $nBmB$ 復号器のクロックでバッファから読み出して論理処理部に入力させる。

そのため、マスターでない全ての $nBmB$ 復号器の出力データは、マスターとなる $nBmB$ 復号器のクロックで、マスターとなる $nBmB$ 復号器

の出力データと同期されて、これによって、受信側において分離した全ての復号データ列が位相補償されて、互いに同期した状態で、論理処理部に入力する。

従って、送信側の複数台の $nBmB$ 符号器が互いに独立にヘッダパターンを送出したために、受信側の復号データ列相互に位相のずれが生じたとしても、それらの復号データ列を正常に論理処理するが可能になり、複数台の $nBmB$ 符号器の出力を多重化して送信する形式のデジタル多重伝送システムが実現可能になるとともに、経済的な高速多重伝送が可能になった。

〔実施例〕

以下、第1図乃至第3図に基づいて、本発明の一実施例を説明する。

この一実施例のデジタル多重伝送システムでは、従来のシステムと比較して、受信側における装置構成の一部を改良したものであり、送信側の装置構成は従来のものと同様である。

従って、送信側では、原データ列を出力する論

理処理部と前記原データ列に対して n ビットのデータを m ビットのデータに変換する $nBmB$ 符号器とを複数組備えておいて、複数台の $nBmB$ 符号器によって得た複数本の符号列をマルチプレクサで時分割多重して1本の直列データ列として出力させる装置構成をなす。

具体的には、第2図に示したように、2台の論理処理部15、16が装備される場合には、各論理処理部と対をなす2台の $nBmB$ 符号器21、22と、これら2台の符号器の出力を多重化するマルチプレクサ28とを装備した装置構成をなし、前記論理処理部15、16の出力する原データ列17、18を各 $nBmB$ 符号器21、22で符号変換し、その結果たる2本の符号列23、24を前記マルチプレクサ28で多重化して、第3図に示した直列データ列28として出力する。

一方、受信側では、受信した一本の直列データ列をデマルチプレクサで複数本の符号列に多重分離し、分離した各符号列は、前記 $nBmB$ 符号器によって変換されたデータを元に戻す符号変換を

行う複数台の $nBmB$ 復号器によって個別に復号して、共通の論理処理部で処理する装置構成であるが、複数台の $nBmB$ 復号器と論理処理部との間に、改良を施している。

第1図に基づいて、具体的に説明する。なお、第1図の装置構成は、第2図の送信側の装置構成に対応させたもので、第4図のものと共通する部分には、同番号を付してある。

受信側では、受信した一本の直列データ列28が入力端1に入ると、デマルチプレクサ2で2本の符号列4、5に多重分離し、分離した各符号列4、5は、2台の $nBmB$ 復号器6、7によって個別に復号する。なお、3は、符号列4、5の変化点を示す250MHzのクロックである。

ここに、2台の $nBmB$ 復号器6、7のうち、一方の $nBmB$ 復号器7はマスターに設定されており、このマスターの $nBmB$ 復号器7の出力データである復号データ列11はその変化点を示すクロック9とともに直接論理処理部14に入力させるが、他方の $nBmB$ 復号器6の出力データで

ある復号データ列10はその変化点を示すクロック8とともに一旦FIFO (First In First Out) メモリ12に入力させている。

このFIFOメモリ12は、書き込みと読み出しとを非同期になし得るタイプのバッファ手段であり、前記nBmB復号器6の出力した復号データ列10は該FIFOメモリ12に一旦保持された後、復号データ列13として論理処理部14に入力させられる。

この場合に、前記復号器6が出力する復号データ列10のFIFOメモリ12への書き込みは、その復号データ列10の変化点を示すクロック8により行い、一方、FIFOメモリ12から復号データ列13の読み出しは、マスターの復号器7の復号データ列11の変化点を示すクロックにより行なう。

以上の構成のシステムでは、送信側の論理処理部15、16が互いに独立に異なったタイミングでヘッダパターン送信指示を出し、そのために、2台の符号器21、22が互いに異なったタイミ

ングでヘッダパターンを送出し、受信側の復号データ列10、11相互間において位相のずれが生じたとしても、受信側の論理処理部14に入力する復号データ列11、13は、クロック9によって位相の同期がとられるから、それらの復号データ列11、13を正常に論理処理し得る。

換言すれば、前記一実施例は、マスターの復号器7の出力データは直接論理処理部14に入力させるが、マスターでない復号器6の出力データは非同期の書き込み・読み出しが可能なバッファ手段であるFIFOメモリ12を介して論理処理部14に入力させることとし、この場合に、マスターでない復号器6の出力データのFIFOメモリ12からの読み出しはマスターの復号器7の出力データの変化点を示すクロックにより行なうことにより、二つの復号器6、7からの出力データ相互間における位相補償を実行するようにしたもので、この位相補償により、論理処理が正常になし得ることになり、複数台のnBmB符号器の出力を多重化して送信する形式のディジタル多重伝送

システムが実現可能になり、経済的な高速多重伝送が可能になった。

なお、前述の実施例では、マスターでない復号器の出力データを保持するために、書き込みと読み出しとを非同期になし得るタイプのバッファ手段として、FIFOメモリ12を使用した。FIFOメモリ12の代わりに、アドレス生成手段を備えたRAM (Random Access Memory) を使用してもよい。

また、システムに裝備する符号器と復号器の台数は、図示の一実施例に限定するものではなく、符号器と復号器の台数は3台以上であっても良い。

なお、符号器と復号器の台数を3台以上とした場合には、受信側では、任意の1台の復号器をマスターとし、マスターの復号器の出力データは直接論理処理部14に入力させるが、マスター以外の各復号器の出力データはそれぞれ非同期の書き込み・読み出しが可能なバッファ手段を介して論理処理部14に入力させることとする。そして、

マスター以外の復号器の出力データの各バッファ手段への書き込みは、各出力データの変化点を示すクロックにより行い、各バッファ手段からの読み出しはマスターの復号器の出力データの変化点を示すクロックにより行なえば良い。

[発明の効果]

以上の説明から明らかなように、本発明に係るディジタル多重伝送システムは、受信側の複数台のnBmB復号器の内の一台をマスターに選定し、マスターとなるnBmB復号器の出力データは自己の変化点を示すクロックで直接論理処理部に入力するが、マスターでないnBmB復号器の出力データはいずれも各自の変化点を示すクロックで一旦バッファに書き込み、マスターとなるnBmB復号器のクロックでバッファから読み出して論理処理部に入力させる。

そのため、マスターでない全てのnBmB復号器の出力データは、マスターとなるnBmB復号器のクロックで、マスターとなるnBmB復号器の出力データと同期されて、これによって、受信

側において分離した全ての復号データ列が位相補償されて、互いに同期した状態で、論理処理部に入力する。

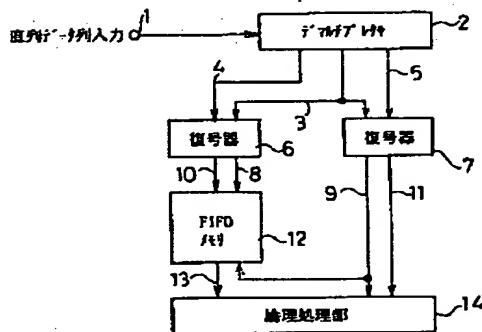
従って、送信側の複数台のnBmB符号器が互いに独立にヘッダパターンを送出したために、受信側の復号データ列相互に位相のずれが生じたとしても、それらの復号データ列を正常に論理処理するが可能になり、複数台のnBmB符号器の出力を多重化して送信する形式のデジタル多重伝送システムが実現可能になるとともに、経済的な高速多重伝送が可能になった。

4. 図面の簡単な説明

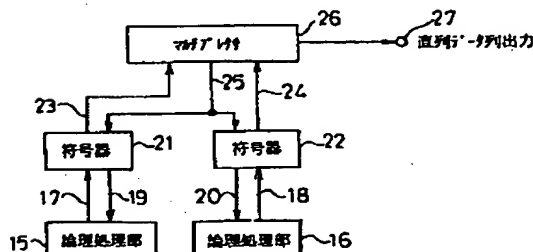
第1図は本発明の一実施例における受信側の構成を示すブロック図、第2図は前記一実施例および従来例における送信側の構成を示すブロック図、第3図は2本の符号列を多重化した直列データ列のフォーマット図、第4図は従来例における受信側の構成を示すブロック図、第5図は従来例における復号データ列相互の位相の相違を示す説明図である。

1…入力端、2…デマルチプレクサ、3、25…250MHzクロック、4、5、23、24…符号列、6、7…nBmB復号器、8、9、19、20…20MHzクロック、10、11、13、17、18…原データ、12…バッファ手段、14～16…論理処理部、21、22…nBmB符号器、26…マルチプレクサ、27…出力端、28…多重化された直列データ列。

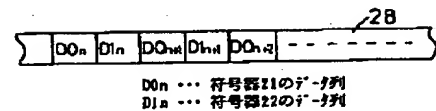
出願人 日立電線株式会社



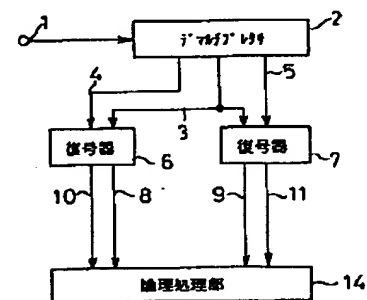
一実施例の受信側の構成を示すブロック図
第1図



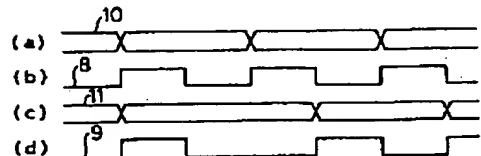
一実施例及び従来例の送信側の構成を示すブロック図
第2図



2本の符号列を多重化した直列データ列のフォーマット図
第3図



従来例における受信側の構成を示すブロック図
第4図



第5図